

Docket No.: 60188-825

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Shiro DOSHO	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: April 02, 2004	:	Examiner: Unknown
	:	
For: LOW-PASS FILTER, FEEDBACK SYSTEM, AND SEMICONDUCTOR INTEGRATED CIRCUIT		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

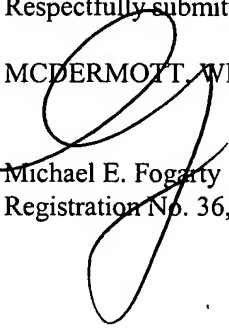
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-121647, filed April 25, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: April 2, 2004

60188-825
DOSH
April 2, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 4 月 2 5 日

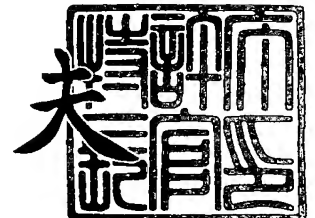
出 願 番 号
Application Number: 特 願 2 0 0 3 - 1 2 1 6 4 7
[ST. 10/C]: [J P 2 0 0 3 - 1 2 1 6 4 7]

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 3 年 1 1 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 3 1 0 6

【書類名】 特許願

【整理番号】 2037640158

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/093
H03L 7/08

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 道正 志郎

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 低域ろ波回路、フィードバックシステムおよび半導体集積回路

【特許請求の範囲】

【請求項 1】 容量素子を有する第 1 の素子ブロックと、
抵抗素子を有し、前記第 1 の素子ブロックと直列に接続された第 2 の素子ブロックと、

前記第 1 および第 2 の素子ブロックのいずれか一方の側に設けられ、第 1 の電流を受ける第 1 の入力端と、

前記第 1 の素子ブロックと前記第 2 の素子ブロックとの接続箇所に接続され、第 2 の電流を受ける第 2 の入力端とを備え、

前記第 1 の素子ブロックは、前記第 1 の電流の少なくとも一部であって、前記第 2 の素子ブロックを流れる電流と前記第 2 の電流との差に相当する電流を受けるものであり、

前記第 1 および第 2 の素子ブロック間に生じる電圧を出力信号とすることを特徴とする低域ろ波回路。

【請求項 2】 請求項 1 に記載の低域ろ波回路において、
前記第 1 の入力端は、前記第 2 の素子ブロック側に設けられたものであり、
前記第 2 の電流は、前記第 1 の電流の逆向き所定倍に相当する電流であることを特徴とする低域ろ波回路。

【請求項 3】 請求項 1 に記載の低域ろ波回路において、
前記第 1 の入力端は、前記第 1 の素子ブロック側に設けられたものであり、
前記第 2 の電流は、前記第 1 の電流の同方向所定倍に相当する電流であることを特徴とする低域ろ波回路。

【請求項 4】 請求項 1 に記載の低域ろ波回路において、
容量素子を有し、前記第 1 の入力端と基準電圧との間に設けられた第 3 の素子ブロックを備えた
ことを特徴とする低域ろ波回路。

【請求項 5】 請求項 1 に記載の低域ろ波回路において、
逆相入力端と出力端との間に前記第 1 および第 2 の素子ブロックを有し、正相

入力端に基準電圧が与えられた演算増幅器を備え、

前記第 1 の入力端は、前記演算増幅器の逆相入力端側に設けられたものであることを特徴とする低域ろ波回路。

【請求項 6】 容量素子を有する第 1 の素子ブロックと、

抵抗素子を有し、前記第 1 の素子ブロックと直列に接続された第 2 の素子ブロックと、

逆相入力端と出力端との間に前記第 1 および第 2 の素子ブロックを有し、正相入力端に基準電圧が与えられた演算増幅器と、

第 1 の電流を受ける第 1 の入力端と、

前記演算増幅器の逆相入力端に接続され、第 2 の電流を受ける第 2 の入力端と、

前記第 1 の入力端と基準電圧との間に設けられた容量素子と、前記第 1 の入力端と前記演算増幅器の逆相入力端との間に設けられた抵抗素子とを有する第 3 の素子ブロックとを備え、

前記第 1 の素子ブロックは、前記第 1 の電流の一部であって、前記第 3 の素子ブロックにおける前記抵抗素子を流れる電流と前記第 2 の電流との差に相当する電流を受けるものであり、

前記第 1 および第 2 の素子ブロック間に生じる電圧を出力信号とすることを特徴とする低域ろ波回路。

【請求項 7】 入力クロックに基づいて生成した出力クロックを帰還させ、この出力クロックを所定の特性にするフィードバックシステムであって、

容量素子を有する第 1 の素子ブロックと、抵抗素子を有し、前記第 1 の素子ブロックと直列に接続された第 2 の素子ブロックと、前記第 1 および第 2 の素子ブロックのいずれか一方の側に設けられ、第 1 の電流を受ける第 1 の入力端と、前記第 1 の素子ブロックと前記第 2 の素子ブロックとの接続箇所に接続され、第 2 の電流を受ける第 2 の入力端とを有し、前記第 1 の素子ブロックは、前記第 1 の電流の少なくとも一部であって、前記第 2 の素子ブロックを流れる電流と前記第 2 の電流との差に相当する電流を受けるものであり、前記第 1 および第 2 の素子ブロック間に生じる電圧を出力信号とするループフィルタと、

前記入力クロックと帰還されたクロックとの位相差に基づいて、前記第 1 および第 2 の電流を生成するチャージポンプ回路と、

前記ループフィルタからの出力信号に基づいて、前記出力クロックを生成する出力クロック生成器とを備えたことを特徴とするフィードバックシステム。

【請求項 8】 請求項 7 に記載のフィードバックシステムにおいて、

前記出力クロック生成手段は、前記出力クロックを発振し、前記ループフィルタからの出力信号に基づいて、発振周波数を変化させる電圧制御発振器であることを特徴とするフィードバックシステム。

【請求項 9】 請求項 7 に記載のフィードバックシステムにおいて、

前記出力クロック生成手段は、前記入力クロックおよび前記ループフィルタからの出力信号に基づいて、前記出力クロックの、前記入力クロックからの遅延量を変化させる電圧制御遅延回路であることを特徴とするフィードバックシステム。

【請求項 10】 請求項 7 に記載のフィードバックシステムにおいて、

前記ループフィルタの第 1 の入力端は、前記第 2 の素子ブロック側に設けられたものであり、

前記第 2 の電流は、前記第 1 の電流の逆向き所定倍に相当する電流であり、

前記チャージポンプ回路は、前記第 1 の電流を出入する第 1 の部分チャージポンプ回路と、前記第 2 の電流を出入する第 2 の部分チャージポンプ回路とを有するものである

ことを特徴とするフィードバックシステム。

【請求項 11】 請求項 7 に記載のフィードバックシステムにおいて、

前記ループフィルタの第 1 の入力端は、前記第 2 の素子ブロック側に設けられたものであり、

前記第 2 の電流は、前記第 1 の電流の逆向き所定倍に相当する電流であり、

前記チャージポンプ回路は、前記第 1 の電流と前記第 2 の電流との差に相当する電流を出入する第 1 の部分チャージポンプ回路と、前記第 2 の電流を出入する第 2 の部分チャージポンプ回路とを有し、前記第 1 および第 2 の部分チャージポ

ンプ回路がそれぞれ出入する電流を合成して前記第 1 の電流を得るものであることを特徴とするフィードバックシステム。

【請求項 12】 請求項 7 に記載のフィードバックシステムにおいて、
前記ループフィルタの第 1 の入力端は、前記第 1 の素子ブロック側に設けられたものであり、

前記第 2 の電流は、前記第 1 の電流の同方向所定倍に相当する電流であり、
前記チャージポンプ回路は、前記第 1 の電流を出入する第 1 の部分チャージポンプ回路と、前記第 2 の電流を出入する第 2 の部分チャージポンプ回路とを有するものである
ことを特徴とするフィードバックシステム。

【請求項 13】 請求項 1 に記載の低域ろ波回路を備えた
ことを特徴とする半導体集積回路。

【請求項 14】 請求項 7 に記載のフィードバックシステムを備えた
ことを特徴とする半導体集積回路。

【請求項 15】 請求項 14 に記載の半導体集積回路において、
当該半導体集積回路は、IC カードに用いられるものである
ことを特徴とする半導体集積回路。

【請求項 16】 請求項 14 に記載の半導体集積回路において、
当該半導体集積回路は、チップ・オン・チップ構造をしたものであり、
前記フィードバックシステムは、前記チップ・オン・チップ構造における上層部に実装されている
ことを特徴とする半導体集積回路。

【請求項 17】 請求項 14 に記載の半導体集積回路において、
前記フィードバックシステムは、当該半導体集積回路のパッド領域に実装されている
ことを特徴とする半導体集積回路。

【請求項 18】 請求項 14 に記載の半導体集積回路において、
当該半導体集積回路は、マイクロプロセッサである
ことを特徴とする半導体集積回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、低域ろ波回路に関するものであり、特に、位相同期回路や遅延ロックスループ回路などのフィードバックシステムにおけるループフィルタとしての使用に好適な低域ろ波回路の技術に属する。

【0002】**【従来の技術】**

フィードバックシステム、特に、位相同期回路（以下、「PLL」と称する）は、今や、半導体集積回路システムにおける必須の構成要素となっており、ほとんどすべてのLSIに搭載されている。また、その応用範囲は、通信機器を始め、マイクロプロセッサ、ICカードなど、さまざまな分野にわたっている。

【0003】

図13は、一般的なチャージポンプ型PLLの構成を示す。同図を参照しながら、PLLの概要を説明する。位相比較器10は、PLLに与えられる入力クロックCK_{in}と帰還クロックCK_{div}との位相差を比較し、この位相差に応じたアップ信号UPおよびダウン信号DNを出力する。チャージポンプ回路20は、アップ信号UPおよびダウン信号DNに基づいて、電流I_pを出力（吐き出しまたは吸い込み）する。ループフィルタ30は、電流I_pを平滑化し、電圧V_{out}として出力する。電圧制御発振器40は、電圧V_{out}に基づいて、PLLの出力クロックCK_{out}の周波数を変化させる。分周器50は、出力クロックCK_{out}をN分周し、帰還クロックCK_{div}として位相比較器10にフィードバックする。以上の動作の繰り返すうちに、出力クロックCK_{out}は次第に所定の周波数に収束し、ロックされる。

【0004】

上記のPLLの構成要素のうち、ループフィルタ30は特に重要な要素である。ループフィルタ30のフィルタ特性によって、PLLの応答特性が決定されると言ってもよい。

【0005】

図14は、一般的なループフィルタを示す。このうち(a)は受動フィルタであり、(b)は能動フィルタである。両者は互いに等価変換が可能であり、その伝達特性は等しい。同図からわかるように、ループフィルタ30は、受動タイプおよび能動タイプの別を問わず、実質的には、抵抗素子と容量素子と組み合わせによる低域ろ波回路である。

【0006】

ところで、PLLの制御理論によると、PLLの応答帯域幅は、最大でも入力クロックの10分の1程度の周波数にすることが好ましいとされている。この理論に従うと、比較的低い周波数の基準クロックを入力とするPLLでは、ループフィルタのカットオフ周波数を低くして、応答帯域幅を狭くする必要がある。したがって、従来のPLLにおけるループフィルタは、比較的大きな時定数、すなわちCR積を有している。大きなCR積を実現するには、容量素子を大きくするのが一般的である。

【0007】

しかし、容量素子を大きくすることは回路規模増大の要因となる。これは、特に、多数のPLLを備えた半導体集積回路、たとえば、マイクロプロセッサなどでは深刻な問題となる。また、特に、ICカードでは、信頼性の観点から、カードの厚さ以上の部品を実装することは避けなければならない、大型の容量素子の外付けといった対策を講じることは実質不可能である。そこで、ループフィルタの容量素子を小さくするために、従来、次のような手段が講じられている。

【0008】

第1の例は、通常は直列接続されている容量素子および抵抗素子を分離してループフィルタを構成し、これら素子に個別の電流を与え、それぞれに生じた電圧を加算回路で加算して出力するというものである(たとえば、特許文献1参照)。これによると、容量素子に与える電流を抵抗素子に与える電流よりも小さくすることにより、従来と同等のフィルタ特性を維持しつつ、相対的に容量素子の小型化が可能となる。

【0009】

第2の例は、本願発明者が関与する特許出願(特願2002-286987)

に係る低域ろ波回路である。当該低域ろ波回路では、第1のフィルタ手段によって入力信号のフィルタリング処理を行うとともに、第2のフィルタ手段によって、第1のフィルタ手段に流れる第1の電流に基づいて生成された第2の電流のフィルタリング処理を行い、加算手段によって、第1および第2のフィルタ手段においてそれぞれ生じる第1および第2の電圧を加算して出力するというものである。これによると、第1の電流よりも小さくなるように第2の電流を生成することで、従来と同等のフィルタ特性を維持しつつ、相対的に第2のフィルタ手段における容量素子の小型化が可能となる。

【0010】

【特許文献1】

特許第2778421号公報（第3頁、第1図）

【0011】

【発明が解決しようとする課題】

上記第1および第2の例によると、容量素子の小型化という目的は達成されるが、それとともに副次的な問題も生じてしまう。たとえば、上記第1の例では、受動タイプのループフィルタを構成する場合であっても加算回路が必要となるため、その分、回路面積が増大し、回路の複雑度も増す。一方、上記第2の例は、元来、能動タイプのループフィルタを対象としているため、基本的には演算増幅器を備えている。このため、第1の例とは異なり、余分に加算手段が必要となることはない。上記第2の例でむしろ問題となるのは、第2の電流を小さくして第2のフィルタ手段における容量素子を小さくする代わりに、この第2の電流を生成する電流生成手段における抵抗素子の抵抗値が増大するということである。抵抗は熱雑音を発生するため、抵抗値の増大はノイズ特性悪化の要因となり、好ましいことではない。

【0012】

上記問題に鑑み、本発明は、低域ろ波回路について、容量素子の小型化に伴う回路面積、回路複雑度および抵抗値の増大などの副次的な問題を発生させることなく、従来と同等のフィルタ特性を実現することを課題とする。そして、そのような低域ろ波回路をループフィルタとして備えたフィードバックシステム、およ

びそのようなフィードバックシステムを備えた半導体集積回路の提供を課題とする。

【0013】

【課題を解決するための手段】

上記課題を解決するために、本発明が講じた手段は、低域ろ波回路として、容量素子を有する第1の素子ブロックと、抵抗素子を有し、前記第1の素子ブロックと直列に接続された第2の素子ブロックと、前記第1および第2の素子ブロックのいずれか一方の側に設けられ、第1の電流を受ける第1の入力端と、前記第1の素子ブロックと前記第2の素子ブロックとの接続箇所に接続され、第2の電流を受ける第2の入力端とを備え、前記第1および第2の素子ブロック間に生じる電圧を出力信号とするものである。ここで、前記第1の素子ブロックは、前記第1の電流の少なくとも一部であって、前記第2の素子ブロックを流れる電流と前記第2の電流との差に相当する電流を受けるものとする。

【0014】

これによると、第1の素子ブロックに流れる電流を、第2の素子ブロックに流れる電流よりも小さくすることができる。すなわち、第1の素子ブロックから第2の素子ブロックの方向に電流が流れる場合には、第1の素子ブロックに流れる電流に、第2の入力端が受ける第2の電流が合流して、第2の素子ブロックを流れることになる。一方、第2の素子ブロックから第1の素子ブロックの方向に電流が流れる場合には、第2の素子ブロックに流れる電流が分流し、第2の電流として第2の入力端に与えられることになる。したがって、第2の素子ブロックにおける抵抗素子の抵抗値を増大させることなく、第1の素子ブロックにおける容量素子のみを相対的に小さくして、第1および第2の素子ブロック間に生じる電圧を保つことができる。すなわち、抵抗値や回路複雑度の増大などの副次的な問題を発生させることなく、低域ろ波回路における容量素子の小型化を実現することができる。

【0015】

具体的には、上記の低域ろ波回路において、前記第1の入力端は、前記第2の素子ブロック側に設けられたものであり、前記第2の電流は、前記第1の電流の

逆向き所定倍に相当する電流であるとする。

【0016】

また、具体的には、上記の低域ろ波回路において、前記第1の入力端は、前記第1の素子ブロック側に設けられたものであり、前記第2の電流は、前記第1の電流の同一方向所定倍に相当する電流であるとする。

【0017】

そして、上記の低域ろ波回路は、容量素子を有し、前記第1の入力端と基準電圧との間に設けられた第3の素子ブロックを備えていることが好ましい。これにより、2次の低域ろ波回路を構成することができる。

【0018】

また、上記の低域ろ波回路は、逆相入力端と出力端との間に前記第1および第2の素子ブロックを有し、正相入力端に基準電圧が与えられた演算増幅器を備え、前記第1の入力端は、前記演算増幅器の逆相入力端側に設けられたものであることが好ましい。これにより、能動タイプの低域ろ波回路を構成することができる。

【0019】

また、上記の低域ろ波回路の変形として、容量素子を有する第1の素子ブロックと、抵抗素子を有し、前記第1の素子ブロックと直列に接続された第2の素子ブロックと、逆相入力端と出力端との間に前記第1および第2の素子ブロックを有し、正相入力端に基準電圧が与えられた演算増幅器と、第1の電流を受ける第1の入力端と、前記演算増幅器の逆相入力端に接続され、第2の電流を受ける第2の入力端と、前記第1の入力端と基準電圧との間に設けられた容量素子と、前記第1の入力端と前記演算増幅器の逆相入力端との間に設けられた抵抗素子とを有する第3の素子ブロックとを備え、前記第1および第2の素子ブロック間に生じる電圧を出力信号とするものである低域ろ波回路を構成するものとする。ここで、前記第1の素子ブロックは、前記第1の電流の一部であって、前記第3の素子ブロックにおける前記抵抗素子を流れる電流と前記第2の電流との差に相当する電流を受けるものとする。

【0020】

すなわち、この低域ろ波回路は、第2の入力端を、第1および第2の素子ブロック間ではなく、第1および第2の素子ブロックと第3の素子ブロックとの間に設けた形態をしている。そして、これによると、第1の素子ブロックに流れる電流を、第3の素子ブロックにおける抵抗素子に流れる電流よりも小さくすることができる。この低域ろ波回路の場合、第2の素子ブロックにおける抵抗素子の抵抗値は増大することとなるが、第1の素子ブロックにおける第1の素子ブロックにおける容量素子については小型化することができる。

【0021】

一方、本発明が講じた手段は、入力クロックに基づいて生成した出力クロックを帰還させ、この出力クロックを所定の特性にするフィードバックシステムとして、直列接続された、容量素子を有する第1の素子ブロックおよび抵抗素子を有する第2の素子ブロックと、前記第1および第2の素子ブロックのいずれか一方の側に設けられ第1の電流を受ける第1の入力端と、前記第1の素子ブロックと前記第2の素子ブロックとの接続箇所に接続され第2の電流を受ける第2の入力端とを有し、前記第1の素子ブロックは、前記第1の電流の少なくとも一部であって、前記第2の素子ブロックを流れる電流と前記第2の電流との差に相当する電流を受けるものであり、前記第1および第2の素子ブロック間に生じる電圧を出力信号とするループフィルタと、前記入力クロックと帰還されたクロックとの位相差に基づいて前記第1および第2の電流を生成するチャージポンプ回路と、前記ループフィルタからの出力信号に基づいて前記出力クロックを生成する出力クロック生成器とを備えたものとする。

【0022】

このように、フィードバックシステムにおけるループフィルタとして、上記の低域ろ波回路と同様の構成のものを用いることにより、フィードバックシステム全体としての回路面積を低減することができる。

【0023】

具体的には、前記出力クロック生成手段は、前記出力クロックを発振し、前記ループフィルタからの出力信号に基づいて、発振周波数を変化させる電圧制御発振器である。

【0024】

また、具体的には、前記出力クロック生成手段は、前記入力クロックおよび前記ループフィルタからの出力信号に基づいて、前記出力クロックの、前記入力クロックからの遅延量を変化させる電圧制御遅延回路である。

【0025】

また、具体的には、上記のフィードバックシステムにおいて、前記ループフィルタの第1の入力端は、前記第2の素子ブロック側に設けられたものであり、前記第2の電流は、前記第1の電流の逆向き所定倍に相当する電流であるとする。そして、前記チャージポンプ回路は、前記第1の電流を出入する第1の部分チャージポンプ回路と、前記第2の電流を出入する第2の部分チャージポンプ回路とを有するものであるとする。

【0026】

また、具体的には、上記のフィードバックシステムにおいて、前記ループフィルタの第1の入力端は、前記第2の素子ブロック側に設けられたものであり、前記第2の電流は、前記第1の電流の逆向き所定倍に相当する電流であるとする。そして、前記チャージポンプ回路は、前記第1の電流と前記第2の電流との差に相当する電流を出入する第1の部分チャージポンプ回路と、前記第2の電流を出入する第2の部分チャージポンプ回路とを有し、前記第1および第2の部分チャージポンプ回路がそれぞれ出入する電流を合成して前記第1の電流を得るものであるとする。

【0027】

また、具体的には、上記のフィードバックシステムにおいて、前記ループフィルタの第1の入力端は、前記第1の素子ブロック側に設けられたものであり、前記第2の電流は、前記第1の電流の所定倍に相当する電流であるとする。そして、前記チャージポンプ回路は、前記第1の電流を出入する第1の部分チャージポンプ回路と、前記第2の電流を出入する第2の部分チャージポンプ回路とを有するものであるとする。

【0028】**【発明の実施の形態】**

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0029】

(第1の実施形態)

図1は、本発明の第1の実施形態に係るフィードバックシステムの構成を示す。本実施形態に係るフィードバックシステムは、位相比較器10と、チャージポンプ回路20Aと、ループフィルタ30Aと、出力クロック生成手段としての電圧制御発信器40と、分周器50とを備えたPLLである。このうち、位相比較器10、電圧制御発信器40および分周器50については既に説明したとおりである。以下、チャージポンプ回路20Aおよびループフィルタ30Aについて詳細に説明する。

【0030】

チャージポンプ回路20Aは、部分チャージポンプ回路として、2個の一般的なチャージポンプ回路20aおよび20bを備えている。チャージポンプ回路20aは、位相比較器10から出力される信号UPおよびDNに応じて電流 I_p を出入する。一方、チャージポンプ回路20bは、信号UPおよびDNに応じて、電流 I_p の逆向き所定倍に相当する電流 αI_p （ただし、 $0 < \alpha < 1$ ）を出入する。すなわち、チャージポンプ回路20Aは、信号UPおよびDNに応じて、2系統の電流である電流 I_p およびこれとは逆向きの電流 αI_p を出入する。

【0031】

ループフィルタ30Aは、チャージポンプ回路20Aから出入される電流 I_p および αI_p をそれぞれ入力端IN1およびIN2に入力する。ループフィルタ30Aにおいて、入力端IN1と基準電圧との間には、第1の素子ブロックとしての容量素子31が設けられている。また、入力端IN1と入力端IN2との間には、第2の素子ブロックとしての、並列接続された抵抗素子32および容量素子33が設けられている。そして、ループフィルタ30Aは、入力端IN1の電圧 V_{out} 、すなわち、容量素子31および抵抗素子32間に生じる電圧を出力とする。

【0032】

ループフィルタ30Aにおいて、入力端IN1に与えられた電流 I_p は、並列

接続された抵抗素子 32 および容量素子 33 を流れ、入力端 IN2 からその一部である電流 αI_p が抜き取られる。したがって、容量素子 31 には並列接続された抵抗素子 32 および容量素子 33 を流れる電流の一部しか流れ込まないため、その静電容量を相対的に小さくすることができる。そして、容量素子 31 を小型化した場合の容量素子 31 および抵抗素子 32 間に生じる電圧は、入力端 IN2 を設けずに、容量素子 31 も小型化しない場合において、入力端 IN1 に電流 I_p を与えたときに生じる電圧と何ら変わることがない。

【0033】

図2は、一般的な受動フィルタおよび本実施形態に係る低域ろ波回路の回路構成を示す。同図(a)に示したループフィルタ30は、図14(a)に示したループフィルタ30と等価な伝達特性を有する一般的な低域ろ波回路である。ここで、容量素子31と抵抗素子32との間に入力端IN2を設けて、この入力端IN2に、入力端IN1に与えられる電流 I_p と逆向きに電流 $9 I_p / 10$ を与えるようにするとともに、容量素子31の静電容量を $1 / 10$ 倍にすることによって、図2(b)に示した低域ろ波回路、すなわち、本実施形態に係るループフィルタ30Aが構成される。なお、同図(a)に示したループフィルタ30および同図(b)に示したループフィルタ30Aの伝達関数は、いずれも等しく次式 $1 + (C_3 R + RC)s / (s(1 + sC_3 R)C)$ (1)

のようになる。

【0034】

上記のように、本実施形態に係るループフィルタ30Aは、従来の一般的な受動タイプのループフィルタ30と同等の伝達特性を呈しながらも、その備えるべき容量素子31の静電容量を従来よりも小さくすることができる。しかも、容量素子31の静電容量縮小の代償として抵抗素子32の抵抗値が増大することがない。また、容量素子31に生じる電圧と抵抗素子32に生じる電圧とを加算するための加算回路を別途設ける必要もない。すなわち、従来の受動タイプのループフィルタ30の回路構成を何ら変更することなく、入力端IN2を設けて所定の電流を与えるようにするだけで、従来よりも遥かに小型の受動タイプのループフィルタを実現することができる。

【0035】

さらに、ループフィルタ 30A は、次式

$$(1+C_3/C)/(RC_3)=(1+10C_4/C)/(R_2C_4) \quad (2)$$

の条件を満たすように各素子値を調整することにより、図 2 (c) に示したループフィルタ 30B に等価変換することができる。ループフィルタ 30B は、第 1 の素子ブロックとしての容量素子 31 と、それに直列に接続された第 2 の素子ブロックとしての抵抗素子 32 と、入力端 IN1 に接続された第 3 の素子ブロックとしての容量素子 33 を備えている。容量素子 33 の一端は基準電圧に接続されており、ループフィルタ 30B の回路構造は、もはや、図 14 (a) に示した従来の受動フィルタと実質的に同様になっている。なお、図 1 において、ループフィルタ 30A をループフィルタ 30B に置換してもよいことは言うまでもない。

【0036】

以上、本実施形態によると、従来の受動タイプのループフィルタの回路構成を全くと言ってよいほど変更することなく、また、ループフィルタにおける抵抗素子の抵抗値を増大させることなく、容量素子の静電容量のみを小さくして、従来と同等の伝達特性を呈するループフィルタを実現することができる。

【0037】

なお、上記例では、容量素子 31 の静電容量を $1/10$ 倍にしているが、入力端 IN2 に与える電流を、たとえば、 $99I_p/100$ とすることによって、容量素子 31 の静電容量を $1/100$ 倍にまで小型化することも可能である。さらに、それ以上に小型化することも可能であることは明白である。

【0038】

(第 2 の実施形態)

図 3 は、本発明の第 2 の実施形態に係るフィードバックシステムの構成を示す。第 1 の実施形態に係るフィードバックシステムは、受動タイプのループフィルタ 30A を備えた PLL であるのに対し、本実施形態に係るフィードバックシステムは、能動タイプにループフィルタ 30C を備えた PLL である。本実施形態の PLL の構成要素のうち、ループフィルタ 30C 以外のものについては既に説明したとおりである。以下、ループフィルタ 30C について詳細に説明する。

【0039】

ループフィルタ 30C は、第 1 の素子ブロックとしての容量素子 31 と、それに直列接続された第 2 の素子ブロックとしての抵抗素子 32 と、第 3 の素子ブロックとしての容量素子 33 と、抵抗素子 34 と、演算増幅器 35 とを備えている。演算増幅器 35 の出力端は容量素子 31 の一端に接続され、逆相入力端は抵抗素子 32 と抵抗素子 34 との接続箇所に接続され、そして、正相入力端には基準電圧が与えられている。ループフィルタ 30C において、入力端 IN1 は、容量素子 33 と抵抗素子 34 との接続箇所に接続され、入力端 IN2 は、容量素子 31 と抵抗素子 34 との接続箇所に接続されている。そして、ループフィルタ 30C は、チャージポンプ回路 20A から出入される電流 I_p および αI_p をそれぞれ入力端 IN1 および IN2 に入力し、演算増幅器 35 の出力端電圧 V_{out} 、すなわち、容量素子 31 および抵抗素子 32 間に生じる電圧を出力とする。

【0040】

ループフィルタ 30C において、入力端 IN1 に与えられた電流 I_p の一部は抵抗素子 32 を流れ、入力端 IN2 からその一部である電流 αI_p が抜き取られる。したがって、容量素子 31 には抵抗素子 32 を流れる電流の一部しか流れ込まないため、その静電容量を相対的に小さくすることが可能となる。そして、容量素子 31 を小型化した場合の演算増幅器 35 の出力端電圧は、入力端 IN2 を設けずに、容量素子 31 も小型化しない場合において、入力端 IN1 に電流 I_p を与えたときに生じる電圧と何ら変わることがない。

【0041】

図 4 は、一般的な受動フィルタおよび本実施形態に係る低域ろ波回路の回路構成を示す。同図 (a) に示したループフィルタ 30 は、図 14 (b) に示したループフィルタ 30 そのものである。ここで、容量素子 31 と抵抗素子 32 との間に入力端 IN2 を設けて、この入力端 IN2 に、入力端 IN1 に与えられる電流 I_p と逆向きに電流 $9 I_p / 10$ を与えるようにするとともに、容量素子 31 の静電容量を $1 / 10$ 倍にすることによって、図 4 (b) に示した低域ろ波回路、すなわち、本実施形態に係るループフィルタ 30C が構成される。なお、同図 (a) に示したループフィルタ 30 および同図 (b) に示したループフィルタ 30

Cの伝達関数はいずれも等しく、実質的に式(1)のようになる。

【0042】

上記のように、本実施形態に係るループフィルタ30Cは、従来の一般的な能動タイプのループフィルタ30と同等の伝達特性を呈しながらも、その備えるべき容量素子31の静電容量を従来よりも小さくすることができる。しかも、容量素子31の静電容量縮小の代償として抵抗素子32の抵抗値が増大することがない。すなわち、従来の能動タイプのループフィルタ30の回路構成を何ら変更することなく、入力端IN2を設けて所定の電流を与えるようにするだけで、従来よりも遥かに小型の能動タイプのループフィルタを実現することができる。

【0043】

さらに、ループフィルタ30Cは、図4(c)に示したループフィルタ30Dに等価変換することができる。ループフィルタ30Dは、入力端IN2が演算増幅器35の逆相入力端、すなわち、抵抗素子32と抵抗素子34と接続箇所に設けられている点で、ループフィルタ30Cとはが異なっている。ループフィルタ30Dについても、容量素子31に流れ込む電流を小さくすることができるため、その静電容量を相対的に小さくすることができる。しかし、抵抗素子32を流れる電流までもが小さくされるため、抵抗素子32の抵抗値を比較的大きくしなければならぬという欠点がある。なお、図3において、ループフィルタ30Cをループフィルタ30Dに置換することは可能である。

【0044】

以上、本実施形態によると、従来の能動タイプのループフィルタの回路構成を全くと言ってよいほど変更することなく、また、場合によってはループフィルタにおける抵抗素子の抵抗値を増大させることなく、容量素子の静電容量のみを小さくして、従来と同等の伝達特性を呈するループフィルタを実現することができる。

【0045】

なお、本実施形態についても、入力端IN2に与える電流を、たとえば、 $99 I_p / 100$ とすることによって、容量素子31の静電容量を $1 / 100$ 倍にまで小型化することも可能である。さらに、それ以上に小型化することも可能であ

ることは明白である。

【0046】

ところで、第1および第2の実施形態において、チャージポンプ回路20Aは、2個の一般的なチャージポンプ回路20aおよび20bを備えているものとした。しかし、これらチャージポンプ回路20aおよび20bは、極性が互いに逆の電流 I_p および αI_p を出入しているものであり、そのうちのチャージポンプ回路において、充電用の電流源と放電用の電流源とが同時に動作することはない。したがって、チャージポンプ回路20Aは、図5に示すチャージポンプ回路20Bに置き換えることが可能である。

【0047】

チャージポンプ回路20Bは、電流源21、22、23および24を備えているが、このうち、電流源21および23は、電流 I_p を供給する従来の電流源を、供給電流が $\alpha : (1 - \alpha)$ となるように分割したに過ぎない。電流源22および24についても同様である。そして、信号UPが与えられると、制御スイッチSW1、SW3およびSW5が導通し、電流源21および23が供給する電流の合成である電流 I_p が吐き出されるとともに、電流 αI_p が吸い込まれる。一方、信号DNが与えられると、制御スイッチSW2、SW4およびSW6が導通し、電流源22および24が供給する電流の合成である電流 I_p が吸い込まれるとともに、電流 αI_p が吐き出される。したがって、第1および第2の実施形態に係るPLLにチャージポンプ回路20Bを備えることによって、従来のPLLとほとんど同じ回路構成で、ループフィルタにおける容量素子のみを小型化することができる。

【0048】

(第3の実施形態)

図6は、本発明の第3の実施形態に係るフィードバックシステムの構成を示す。本実施形態に係るフィードバックシステムは、位相比較器10と、チャージポンプ回路20Cと、ループフィルタ30Eと、出力クロック生成手段としての電圧制御遅延回路40Aとを備えた遅延ロックループ回路（以下、「DLL」と称する）である。以下、チャージポンプ回路20Cおよびループフィルタ30Eに

ついて詳細に説明する。

【0049】

チャージポンプ回路 20C は、上述したチャージポンプ回路 20B と同様に、電流 αI_p および $(1-\alpha) I_p$ をそれぞれ供給する充電用の電流源 21 および 23 と、放電用の電流源 22 および 24 とを備えている。そして、信号 UP が与えられると、制御スイッチ SW1 および SW3 が導通し、電流 αI_p および $(1-\alpha) I_p$ が吐き出される。一方、信号 DN が与えられると、制御スイッチ SW2 および SW4 が導通し、電流 αI_p および $(1-\alpha) I_p$ が吸い込まれる。すなわち、チャージポンプ回路 20C からは、電流 I_p を $\alpha : (1-\alpha)$ に内分したものに相当する 2 系統の電流が出入される。

【0050】

ループフィルタ 30E は、チャージポンプ回路 20C から出入される電流 αI_p および $(1-\alpha) I_p$ をそれぞれ入力端 IN1 および IN2 に入力する。ループフィルタ 30E において、入力端 IN1 と入力端 IN2 との間には、第 1 の素子ブロックとしての容量素子 31 が設けられている。また、入力端 IN2 と基準電圧との間には、第 2 の素子ブロックとしての、並列接続された抵抗素子 32 および容量素子 33 が設けられている。そして、ループフィルタ 30E は、入力端 IN1 の電圧 V_{out} 、すなわち、容量素子 31 および抵抗素子 32 間に生じる電圧を出力とする。

【0051】

ループフィルタ 30E において、入力端 IN1 に与えられた電流 αI_p は、容量素子 31、および並列接続された抵抗素子 32 および容量素子 33 を流れる。また、入力端 IN2 には電流 αI_p と同じ向きに電流 $(1-\alpha) I_p$ が与えられ、並列接続された抵抗素子 32 および容量素子 33 を流れる。したがって、容量素子 31 には並列接続された抵抗素子 32 および容量素子 33 を流れる電流の一部しか流れないため、その静電容量を相対的に小さくすることができる。そして、容量素子 31 を小型化した場合の容量素子 31 および抵抗素子 32 間に生じる電圧は、入力端 IN2 を設けずに、容量素子 31 も小型化しない場合において、

入力端 $IN1$ に電流 I_p を与えたときに生じる電圧と何ら変わることがない。

【0052】

図7は、一般的な受動フィルタおよび本実施形態に係る低域ろ波回路の回路構成を示す。同図(a)に示したループフィルタ30は、図14(a)に示したループフィルタ30と等価な伝達特性を有する一般的な低域ろ波回路である。ここで、入力端 $IN1$ に与えられる電流および容量素子31の静電容量を $1/10$ 倍にし、容量素子31と抵抗素子32との間に入力端 $IN2$ を設けて、この入力端 $IN2$ に、入力端 $IN1$ に与えられる電流 $I_p/10$ と同じ向きに電流 $9I_p/10$ を与えるようにすることによって、図7(b)に示した低域ろ波回路、すなわち、本実施形態に係るループフィルタ30Eが構成される。なお、同図(a)に示したループフィルタ30および同図(b)に示したループフィルタ30Aの伝達関数は、いずれも等しく、実質的に式(1)のようになる。

【0053】

上記のように、本実施形態に係るループフィルタ30Eは、従来の一般的な受動タイプのループフィルタ30と同等の伝達特性を呈しながらも、その備えるべき容量素子31の静電容量を従来よりも小さくすることができる。しかも、容量素子31の静電容量縮小の代償として抵抗素子32の抵抗値が増大することがない。また、容量素子31に生じる電圧と抵抗素子32に生じる電圧とを加算するための加算回路を別途設ける必要もない。さらに、チャージポンプ回路20Cについても従来と比較して回路規模が増大することがない。すなわち、従来の受動タイプのループフィルタ30、さらには、従来のPLLの回路構成を何ら変更することなく、入力端 $IN2$ を設けて所定の電流を与えるようにするだけで、従来よりも遥かに小型の受動タイプのループフィルタおよびPLLを実現することができる。

【0054】

さらに、ループフィルタ30Eは、式(2)の条件を満たすように各素子値を調整することにより、図7(c)に示したループフィルタ30Fに等価変換することができる。ループフィルタ30Fは、第1の素子ブロックとしての容量素子31と、それに直列に接続された第2の素子ブロックとしての抵抗素子32と、

入力端 IN1 に接続された第3の素子ブロックとしての容量素子33を備えている。容量素子33の一端は基準電圧に接続されており、ループフィルタ30Fの回路構造は、もはや、図14(a)に示した従来の受動フィルタと実質的に同様になっている。なお、図6において、ループフィルタ30Eをループフィルタ30Fに置換してもよいことは言うまでもない。

【0055】

また、図6におけるループフィルタ30Eを、図8に示す能動タイプのループフィルタ30Gに置き換えることも可能である。ループフィルタ30Gは、図4(b)に示したループフィルタ30Cにおいて、容量素子31と抵抗素子32とを入れ換えて入力端 IN2 に与えられる電流の向きを反転し、さらに、入力端 IN1 に与えられる電流および容量素子33の静電容量をそれぞれ1/10倍に、抵抗素子34の抵抗値を10倍にしたものである。したがって、ループフィルタ30Cおよびループフィルタ30Gの伝達特性は等しい。

【0056】

ループフィルタ30Gでは、容量素子33の静電容量を縮小することができるが、その代償として抵抗素子34が増大してしまう。また、演算増幅器35に流れ込む電流が、ループフィルタ30Cに比べて多くなるため好ましくない。しかし、ループフィルタ30Gは、容量素子31の小型化という視点で見ると、十分に目的を達成することのできるフィルタである。

【0057】

以上、本実施形態によると、従来のループフィルタの回路構成を全くと言ってよいほど変更することなく、容量素子の静電容量のみを小さくして、従来と同等の伝達特性を呈するループフィルタを実現することができる。さらに、従来のフィードバックシステムにおけるチャージポンプ回路についても、回路構成をほとんど変更しなくてよい。すなわち、従来のフィードバックシステム全体の回路構成をほとんど変更することなく、ループフィルタにおける容量素子のみを小型化することができる。

【0058】

なお、本実施形態についても、入力端 IN1 および IN2 にそれぞれ与える電

流を、たとえば、 $I_p/100$ および $99I_p/100$ とすることによって、容量素子31の静電容量を $1/100$ 倍にまで小型化することも可能である。さらに、それ以上に小型化することも可能であることは明白である。

【0059】

また、本実施形態では、フィードバックシステムとしてDLLを構成したが、上記のチャージポンプ回路20Cやループフィルタ30Eなどを用いてPLLを構成することもできる。これとは逆に、第1および第2の実施形態に係るチャージポンプ回路20Aやループフィルタ30Aなどを用いてDLLを構成することもできる。

【0060】

また、本発明に係る低域ろ波回路は、フィードバックシステムにおけるループフィルタ以外の用途にも使用可能であることは言うまでもない。

【0061】

(本発明に係るフィードバックシステムの応用)

上述したように、本発明に係るフィードバックシステムは、大規模な容量素子を必要とせず、回路規模を小規模化することができるため、特に、次のような製品への応用が期待される。

【0062】

図9は、ICカード用のLSIに、本発明のPLLやDLLを備えた例である。ICカードに用いられるLSIは、実装面積に限りがあるため、より小さな回路面積で構成可能な本発明のPLLやDLLは、ICカード用として特に適している。

【0063】

図10は、本発明のPLLやDLLを、チップ・オン・チップ(COC)部品に応用した例である。チップ・オン・チップ構造において、上層の半導体集積回路の回路面積には限りがある。したがって、本発明のPLLやDLLが有効となる。

【0064】

図11は、本発明のPLLやDLLを、LSIパッド部に実装した例である。

チップ・オン・チップ構造と同様に、LSIパッド部に実装可能な回路面積には限りがある。したがって、本発明のPLLやDLLが有効となる。

【0065】

図12は、本発明のPLLやDLLを、マイクロプロセッサにおけるクロック生成手段として実装した例である。今やマイクロプロセッサには、非常に多くのPLLやDLLが実装されている。そこで、マイクロプロセッサに本発明のPLLやDLLを用いることにより、マイクロプロセッサ全体としての回路面積を大幅に低減することが期待される。したがって、本発明のPLLやDLLをマイクロプロセッサに適用することによって得られる効果は極めて大きいものである。

【0066】

【発明の効果】

以上説明したように、本発明によると、回路面積、回路複雑度および抵抗値の増大などの代償なく、低域ろ波回路における容量素子の小型化を実現することができる。そして、本発明に係る低域ろ波回路をループフィルタとして使用することにより、従来よりも遥かに小型のフィードバックシステムを実現することができる。

【0067】

また、本発明に係る低域ろ波回路およびフィードバックシステムの回路構成は極めてシンプルであるため、実施が極めて容易である。さらに、従来の回路構成とほとんど変わるところがないため、これまで蓄積してきた設計手法をそのまま受け継ぐことができる点でも極めて有利である。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係るフィードバックシステムの構成図である。

【図2】

一般的な受動フィルタおよび本発明の第1の実施形態に係る低域ろ波回路の回路図である。

【図3】

本発明の第2の実施形態に係るフィードバックシステムの構成図である。

【図 4】

一般的な能動フィルタおよび本発明の第 2 の実施形態に係る低域ろ波回路の回路図である。

【図 5】

本発明の第 1 および第 2 の実施形態に係るフィードバックシステムにおけるチャージポンプ回路の回路図である。

【図 6】

本発明の第 3 の実施形態に係るフィードバックシステムの構成図である。

【図 7】

一般的な受動フィルタおよび本発明の第 3 の実施形態に係る低域ろ波回路の回路図である。

【図 8】

本発明の第 3 の実施形態に係るフィードバックシステムに適応可能な能動フィルタの回路図である。

【図 9】

本発明のフィードバックシステムを IC カードに応用した例である。

【図 10】

本発明のフィードバックシステムを COC 部品に応用した例である。

【図 11】

本発明のフィードバックシステムを LSI パッド領域に実装した例である。

【図 12】

本発明のフィードバックシステムをマイクロプロセッサに実装した例である。

【図 13】

一般的なチャージポンプ型 PLL の構成図である。

【図 14】

一般的なループフィルタの回路図である。

【符号の説明】

30A, 30B, 30C, 30D, 30E, 30F, 30G ループフィルタ (低域ろ波回路)

3 1 容量素子（第 1 の素子ブロック）

3 2 抵抗素子（第 2 の素子ブロック）

3 3 容量素子（第 3 の素子ブロック）

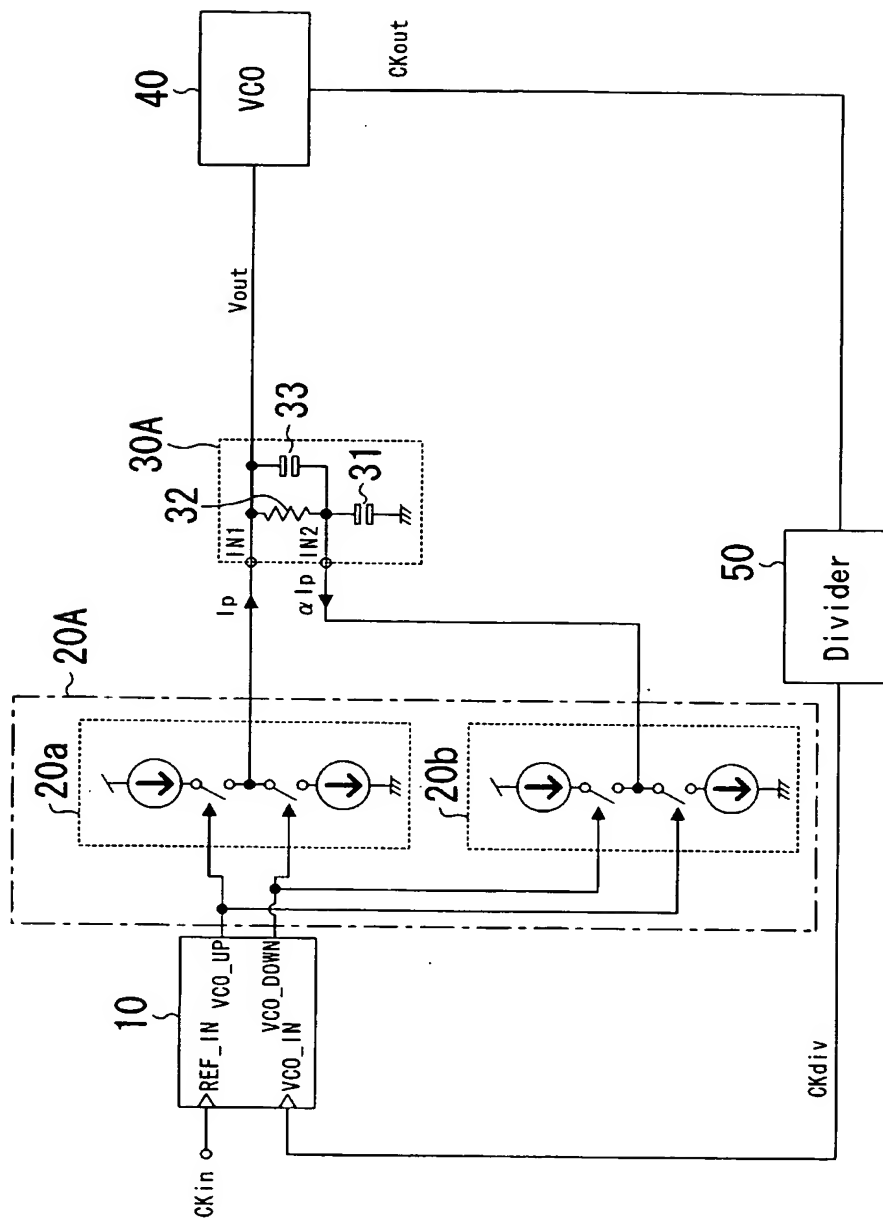
3 5 演算増幅器

I N 1 入力端（第 1 の入力端）

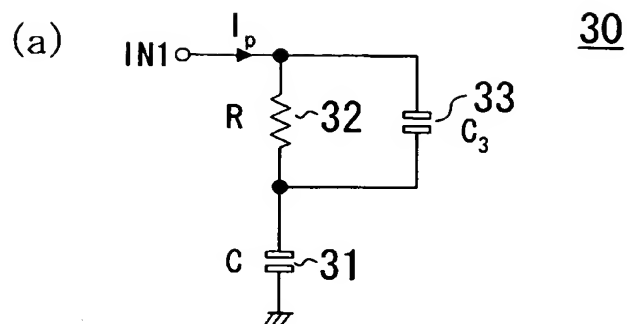
I N 2 入力端（第 2 の入力端）

【書類名】 図面

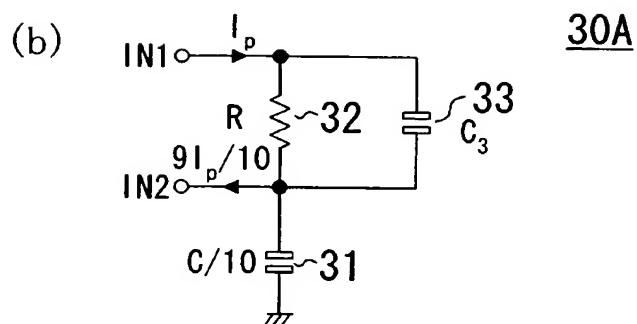
【図 1】



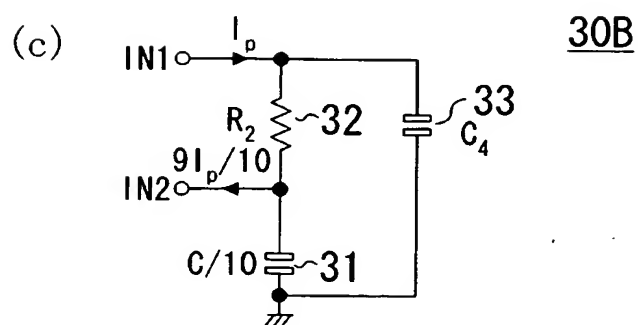
【図 2】



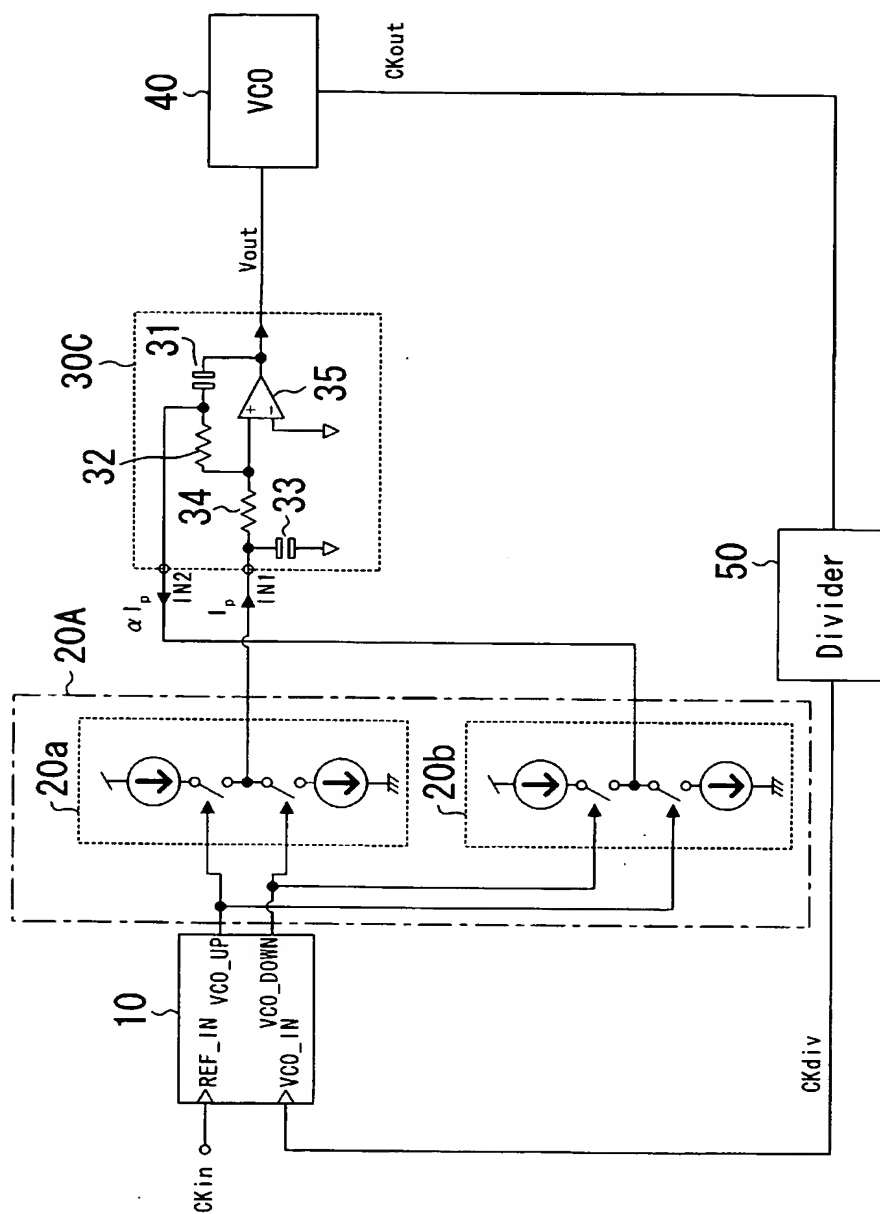
⇕ 等価変換



⇕ 等価変換

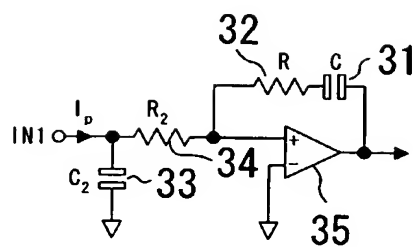


【図 3】



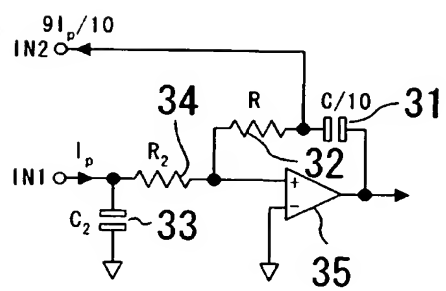
【図 4】

(a) 30



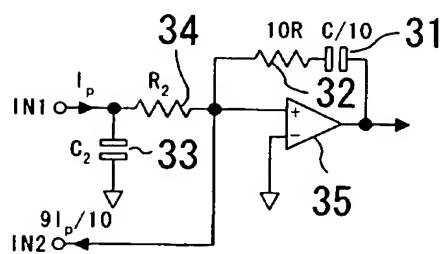
⇕ 等価変換

(b) 30C

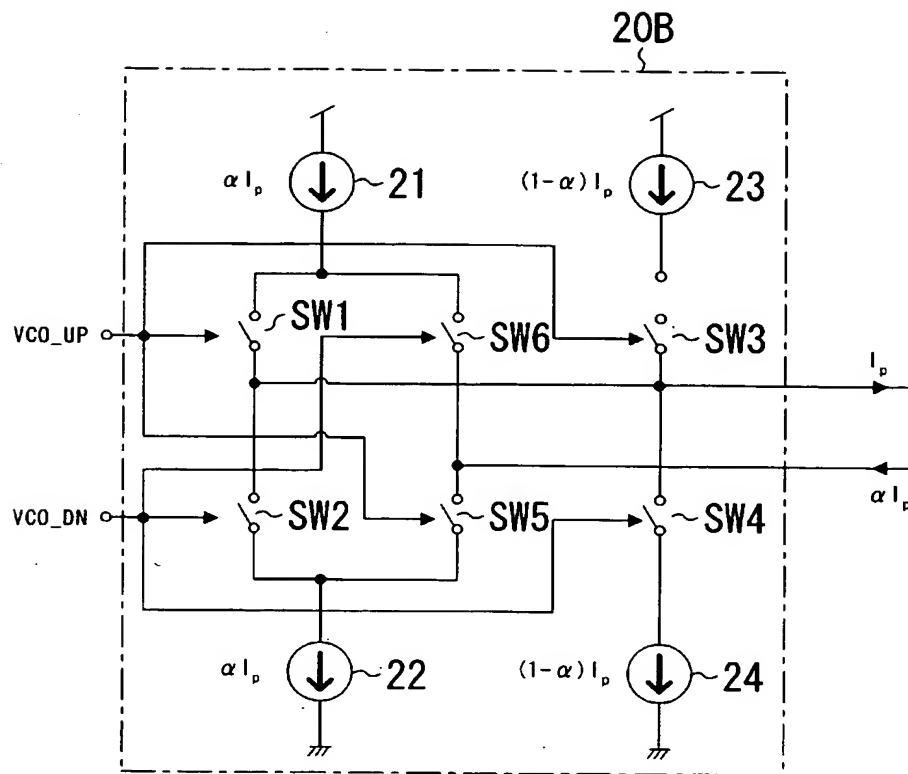


⇕ 等価変換

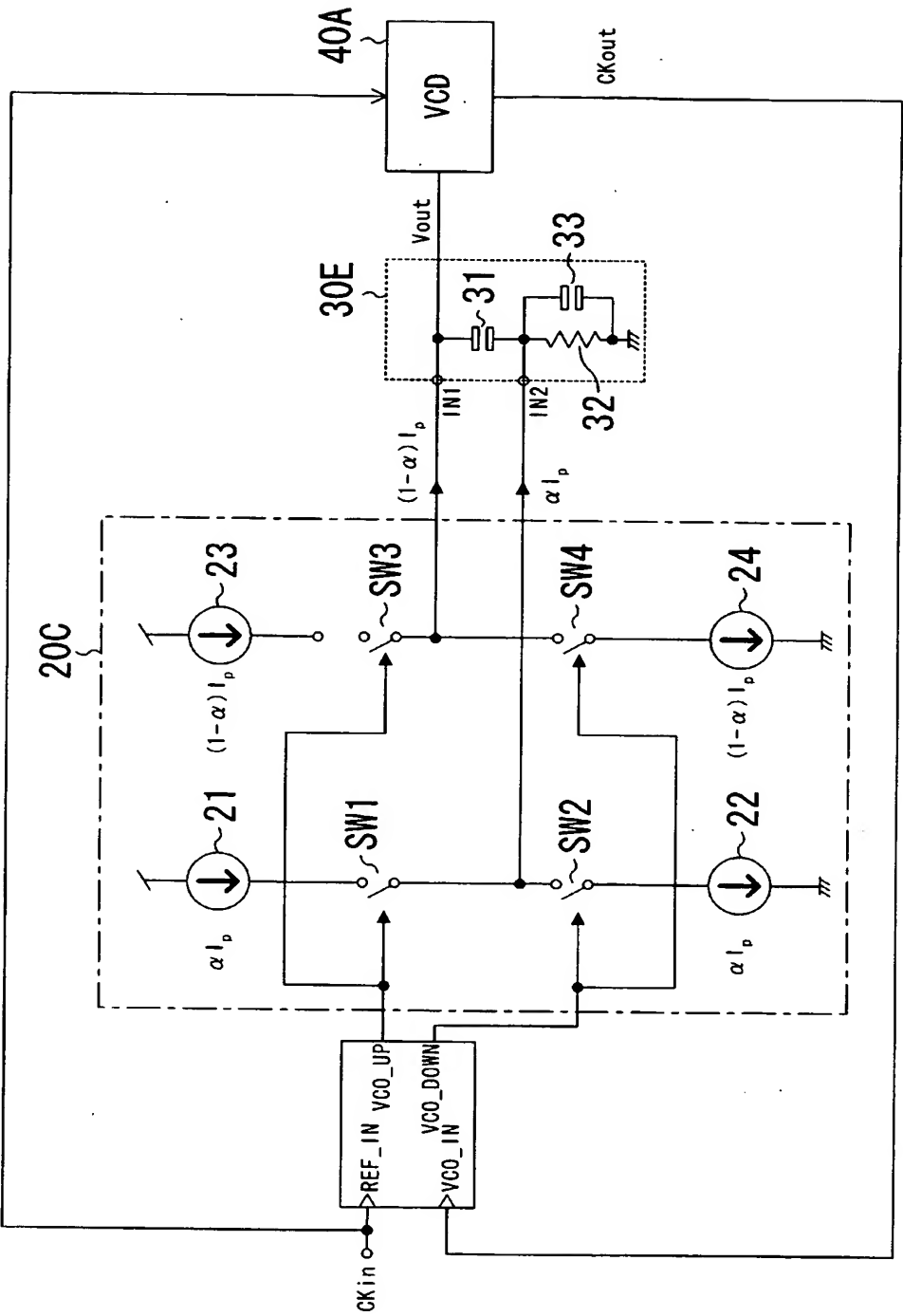
(c) 30D



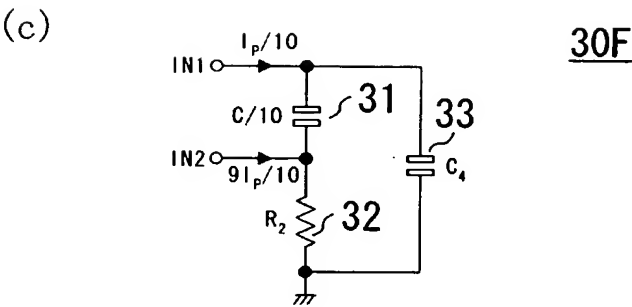
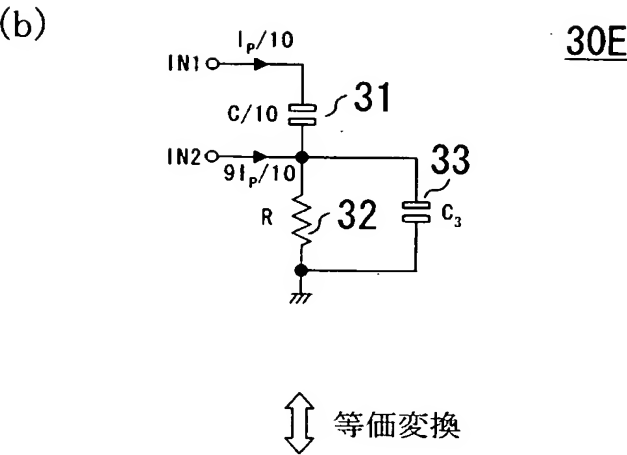
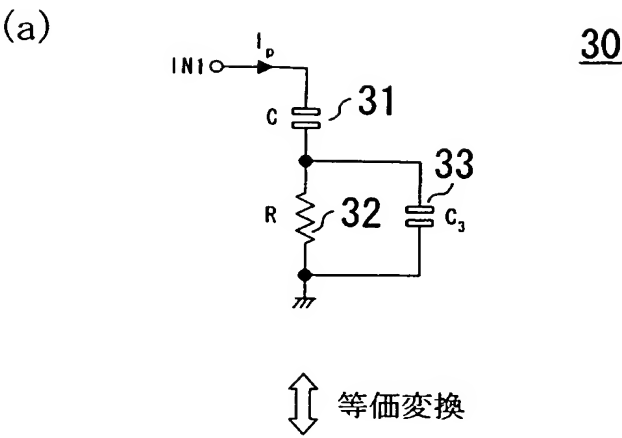
【図 5】



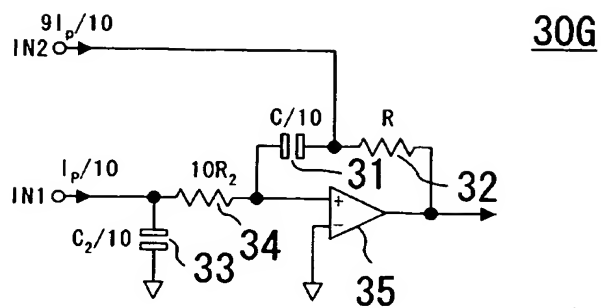
【図 6】



【図 7】

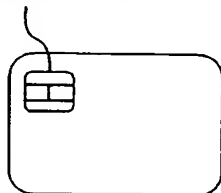


【図 8】



【図 9】

本発明のPLLや
DLLを備えたLSI

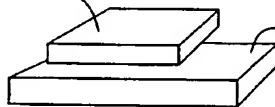


ICカードへの応用例

【図 10】

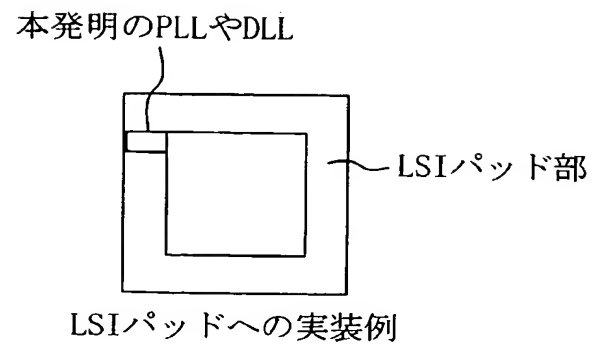
本発明のPLLや
DLLを備えたCOC部品

貼り付けの
母体となる部材

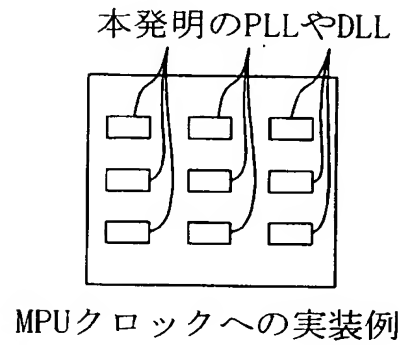


COC部品への応用例

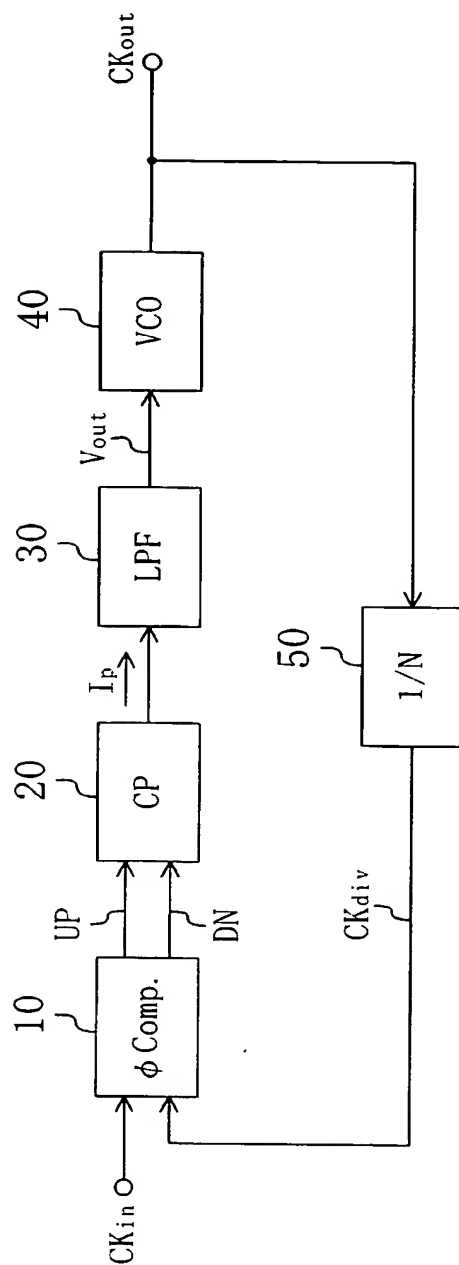
【図 1 1】



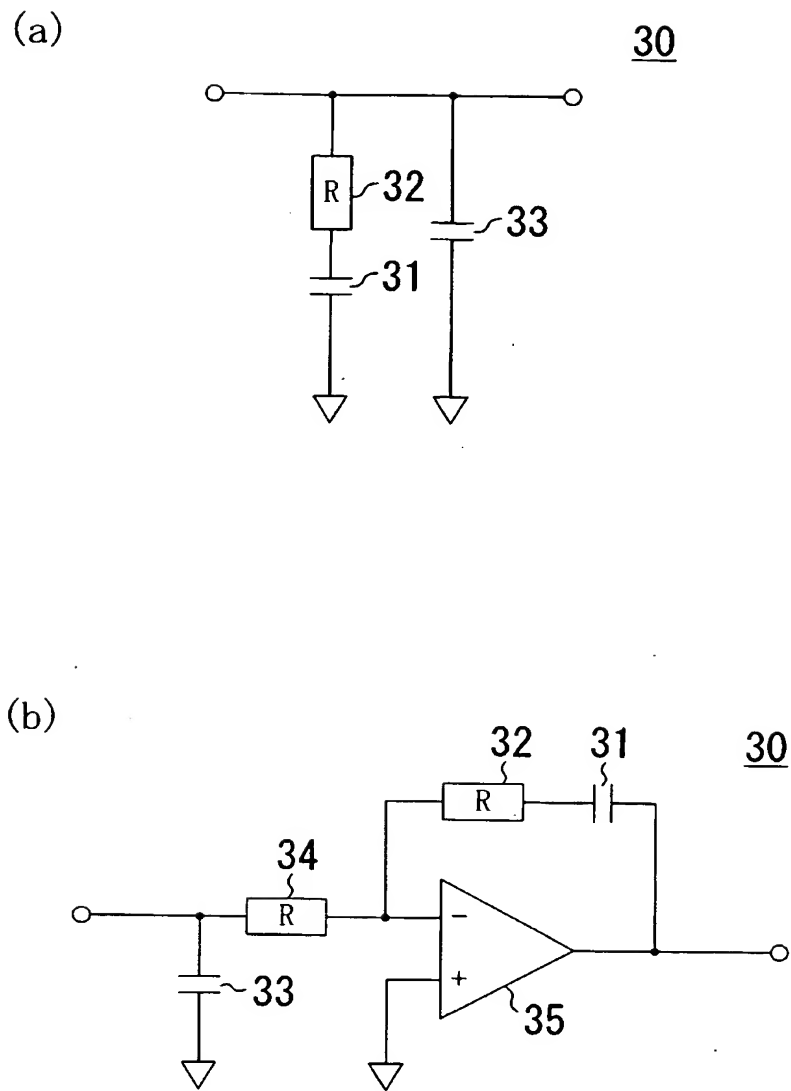
【図 1 2】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 PLLやDLLにおけるループフィルタとしての使用に好適な低域ろ波回路について、容量素子の小型化に伴う回路面積、回路複雑度および抵抗値の増大などの副次的な問題を発生させることなく、従来と同等のフィルタ特性を実現する。

【解決手段】 直列に接続された容量素子31および抵抗素子32を備えたループフィルタ30Aにおいて、抵抗素子32側に入力端IN1を設けるとともに、容量素子31と抵抗素子32との接続箇所に入力端IN2を設ける。そして、入力端IN1には電流 I_p を与える。一方、入力端IN2からは、入力端IN1に与えられる電流 I_p の一部である電流 αI_p を抜き取り、容量素子32に流れ込む電流が、抵抗素子32を流れる電流よりも小さくなるようにする。

【選択図】 図1

特願 2 0 0 3 - 1 2 1 6 4 7

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社